

⑫ 公開特許公報 (A) 平2-92650

⑤Int.Cl.

B 41 J 2/45
2/455

識別記号

庁内整理番号

⑩公開 平成2年(1990)4月3日

7612-2C B 41 J 3/21

L※

審査請求 未請求 請求項の数 1 (全11頁)

④発明の名称 発光素子アレイ

②特 願 昭63-246629

②出 願 昭63(1988)9月30日

④発明者 楠田 幸久 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内
 ④発明者 刀根 深 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内
 ④発明者 山下 建 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内
 ④発明者 田中 修平 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内
 ④出願人 日本板硝子株式会社
 ④代理人 弁理士 大野 精市
 最終頁に続く

明細書

1. 発明の名称

発光素子アレイ

2. 特許請求の範囲

(1) しきい電圧もしくはしきい電流を制御するための制御電極を有する複層半導体型発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、各発光素子の制御電極を、近傍に位置する少なくとも2つの発光素子の制御電極と互いに電気的手段にて接続したネットワーク配線を形成し、各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続した発光素子アレイであって、

該電気的手段が、該発光素子の、バイアス電圧が印加される第1導電型半導体に接する第2導電型半導体制御電極間に抵抗素子を用いて接続したものであることを特徴とする発光素子アレイ。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、例えば発光素子を同一基板上に第1

した、発光素子アレイへの自己走査機能の付与に関するものである。

【従来の技術】

発光素子の代表的なものとしてLED (Light Emitting Diode) 及びLD (Laser Diode) が知られている。

LEDは化合物半導体 (GaAs, GaP, AlGaAs等) のPNまたはPIN接合を形成し、これに順方向電圧を加えることにより接合内部にキャリアを注入し、その再結合の過程で生じる発光現象を利用するものである。

またLDはこのLED内部に導波路を設けた構造となっている。あるしきい電圧以上の電圧をながすと注入される電子-正孔対が増加し反転分布状態となり、誘導放射による光子の増倍(利得)が発生し、へき面などを利用した平行な反射鏡で発生した光が再び活性層に帰還されレーザ発振が起こる。そして導波路の端面からレーザ光が出ていくものである。

これらLED, LDと同じ発光メカニズムを有

3)

れ

4

て

ノ

する発光素子として発光ダイオードを伴つ負性抵抗素子（発光サイリスタ、レーザサイリスタ等）も知られている。発光サイリスタは先に述べたような化合物半導体でP N P N構造を作るものであり、シリコンではサイリスタとして実用化されている（齊木昌治編著、「発光ダイオード」工業調査会、pp167～169参照）。

この発光サイリスタの基本構造及び電流-電圧特性を第9図、第10図に示す。第9図に示す構造は、N形GaAs基板上にP N P N構造を形成したもので通常のサイリスタとまったく同じ構成である。第10図も同様に通常のサイリスタとまったく同じU字形負性抵抗を表している。サイリスタも第9図の2端子のみでなく、第11図に示す3端子サイリスタも知られている。この3端子サイリスタのゲートはON電圧を制御する働きを持ち、ON電圧はゲート電圧に拡散電位を加えた電圧となる。またONした後、ゲート電圧はカソード電圧とほぼ一致するようになる。カソード電圧が接地されていればゲート電圧は零ボルトとなる。

ている一つ一つのLEDをワイヤボンディング等の技術により駆動ICに接続し、このICで一つ一つのLEDを駆動させる必要があった。このためLEDの数が多い場合、回路のワイヤボンディングが必要で、かつ、駆動ICも数多く必要となりコストが高くなってしまうという欠点があった。またこれは駆動ICを設置するスペースを確保することが必要となり、コンパクト化が困難という欠点を説明していた。またLEDを並べるピッチもワイヤボンディングの技術で定まり、細ピッチ化が難しいという欠点があった。

そこで発明者は発光素子アレイ自身に自己走査機能をもたせることにより、先に挙げたワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、細ピッチ化の問題を解決する発明を行なった（特願昭63-65392、「発光素子アレイとその駆動方法」）。この先の発明の内容を以下簡単に記す。

先の発明の主旨は、発光素子のターンオン電圧または電流が、べつの発光素子のON状態によつ

またこの発光サイリスタは外部から光を入射することによりそのしあい電圧が低下することが知られている。

さらにこの発光サイリスタの中に導波路を設けしDとまったく同じ原理でレーザサイリスタを形成する事もできる（田代他、1987年秋応用物理学会講演、番号18p-ZG-10）。

これらの様な発光素子、特にLEDは化合物半導体基板上に多段層作られ、切断されて一つづつの発光素子としてパッケージングされ販売されている。また密着イメージセンサ用及びプリンタ用光源としてのLEDは一つのチップ上に複数個のLEDを並べたLEDアレイとして販売されている。

一方密着形イメージセンサ、LEDプリンタ等では読み取るポイント、書き込むポイントを指定するため、これら発光素子による発光点の走査機能（光走査機能）が必要である。

しかし、これらの従来の発光素子を用いて光走査を行うためには、LEDアレイのなかに作られ

て影響を受けるよう、即ち、相互作用をするよう構成することにより発光の自己走査機能を実現することである。

第12図に先の発明の実施例の第1の例を示す。これは発光素子として先に述べた発光サイリスタを用い、発生した光の一部が反射する発光サイリスタに入射するよう構成したもので、光が入った発光サイリスタのON電圧が低下する現象を利用するものである。今送信クロックバルスの₁がハイレベルとなり、発光サイリスタT(0)がONしているとする。このためその両側に位置する発光サイリスタT(-1)、T(1)のON電圧が低下する。このため次の送信クロックバルス₂にハイレベル電圧が印可されるとT(1)のみONさせる事が可能となる。これから自己走査を行なうことができる。

第13図に第12図の構成のデバイス構造を示す。N形GaAs基板上にP形(23)、N形(22)、P形(21)からなる発光サイリスタを設け、それぞれのP形(21)層に接続した電極(40)に送信クロックラインを接続した構成とな

っている。動作は先に説明した通りである。

第14図に先の発明の実施例の第2の例を示す。第11図に示した三端子サイリスタのゲート端子R₁、R₂をお互いに接続した構成である。今転送クロックバルス₁がハイレベル電圧となり発光サイリスタT(0)がON状態になっているとする。このときノードG₁はほぼ零ボルトとなっている。すると抵抗ネットワークから電流が流れ、発光サイリスタT(0)に近いノードが最も電圧が引き下がられ、離れていくほど影響は少なくなる。次の転送クロック₁がハイレベル電圧が加わると発光サイリスタT(1)とT(-2)がON可能となるが、ノードG₁のほうがノードG₋₂より低い電圧となっているため、発光サイリスタT(1)のみをONさせることができる。これから自己走査を行なうことができる。

第15図に第14図の構成のデバイス構造を示す。N型GaAs基板上にP型(23)、N型(22)、P型(21)からなる発光サイリスタを設け、それぞれのP型(21)端に接続した電極(40)に

本発明は電気的手段により接続する方法を改良し、電気的手段により接続する方法によっても、簡単な製造工程にて製造することを可能とするものである。

製造方法を簡単化するための手段として、先の発明の例で示したような発光素子のクロックラインの接続された第1導電型半導体に接する第2導電型半導体(前記例ではN型ゲート電極)間を抵抗R₁、R₂を介して電気的に接続する方法(電位結合)を取らず、発光素子のバイアス電圧が印加される第2導電型半導体に接する第1導電型半導体(前記例ではP型ゲート電極)間を抵抗で接続(電流誘導結合)するよう構成したものである。さらに好ましくは、接続用抵抗を発光素子のゲート層(前記例ではP型半導体層)そのものを使用するよう構成したものである。これにより製造方法をより簡略化することが可能となる。

本発明は、しきい電圧もしくはしきい電流を制御するための制御電極を有する複層半導体型発光素子を多段層、一次元、二次元、もしくは三次元

40)に転送クロックラインを接続し、またそれぞれのN型(22)端に接続したゲート電極(41)をR₁、R₂でお互いに接続した構成となっている。この動作は第14図と全く同じである。

以上簡単に説明した先発明により、ワイヤボンディングの段の問題、駆動ICの問題、コンパクト化、短ピッチ化の問題等を解決することが可能となった。

【発明が解決しようとする課題】

第12図、第13図の構成例(光結合による方法)ではゲート電極を設ける必要がなく構造が簡単で、簡単な製造工程で製造できる。しかしながら第14図、第15図に示した構成例(電気的接続による方法)ではゲート電極を設ける必要があること、及び抵抗R₁、R₂を設けこれらを互いに内部接続する必要がある等、構造が比較的複雑で製造工程も複雑となっている。このため電気的接続による方法では製造コストが比較的高くなるという問題点があった。

【課題を解決するための手段】

的に配列し、各発光素子の制御電極を、近傍に位置する少なくとも2つの発光素子の制御電極と互いに電気的手段にて接続したネットワーク配線を形成し、各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続した発光素子アレイであって、該電気的手段を、該発光素子の、バイアス電圧が印加される第1導電型半導体に接する第2導電型半導体制御電極間を抵抗素子を用いて接続したものである。

本発明に使用する複層半導体型発光素子としては、しきい電圧もしくはしきい電流が外部から制御可能な素子、例えばP導電型半導体領域及びN導電型半導体領域を複数積層した負性抵抗を有する発光素子、を用いることができる。

また、該抵抗素子として該発光素子を形成する第1または第2導電型半導体層を用いると、製造方法をより簡略化できるので好ましい。

【作用】

本発明では、発光素子のバイアス電圧が印加される第1導電型半導体に接する第2導電型半導体

(ゲート電圧) 同を低抵抗素子で接続しているため、ONした発光素子から電気的手段にて接続された発光素子へ電流が流れ込み、電気的手段にて接続された発光素子のしきい電圧を低下し、ON状態転送(自己走査)の引金を形成する。

さらには、該抵抗素子として発光素子の第2導電型半導体層(ゲート層)を使用できるため、実施例にて詳細に説明するようにより簡単な製造工程で自己走査可能な発光素子アレイ製造することが可能となる。

【実施例】

<実施例1>

実施例1の原理の等価回路図を第1図に示す。これは発光しきい電圧、電流が外部から制御できる発光素子の一例として、最も標準的な三端子の発光サイリスタを用いた場合を表している。発光サイリスタT(-2)～T(+2)は一列に並べられた構成となっている。各発光サイリスタはトランジスタTr1、Tr2の組合せとして表わされる。トランジスタTr1はPNPトランジスタであり、トラン

しかし接続抵抗R₁が大きければ、NPNトランジスタTr2(-1)、Tr2(1)のベース電流が接続抵抗R₁により制限され、NPNトランジスタTr2(-1)、Tr2(1)の電流駆動能力は低下する。NPNトランジスタTr2(-1)、Tr2(1)よりさらに遠方に位置するNPNトランジスタTr2(-2)、Tr2(2)のベース電流はさらに小さくなり、これらの電流駆動能力はもっと低下することになる。

このNPNトランジスタTr2のベース電流量、即ち電流駆動能力が大きくなると発光サイリスタのON電圧が低下することが知られている。第2図にその様子を示す。横軸がアノード電圧(PNPトランジスタTr1のエミッタ電圧)であり、縦軸がアノード電流である。ここで、ON電圧V_sは外部から全く影響のない場合のON電圧であり、ON電圧V_{s(1)}は発光サイリスタT(1)の、ON電圧V_{s(-2)}は発光サイリスタT(-2)のON電圧を表わす。ON状態を適切するために必要な最小電流はホールド電流V_hと呼ばれる。ONしている発光サイリスタT(0)に最も近い発光サイリスタT(-1)

～ジスタTr2はNPNトランジスタである。発光サイリスタ同の接続用抵抗R₁はNPNトランジスタTr2のベース間に接続される。各個体発光サイリスタのアノード電極に、3本の転送クロックライン(～1、～2、～3)が順次繋り返していっぽんづ接続される。クロックラインには、クロックラインの電流制限用抵抗R_eが設けられる。

動作を説明する。まず転送クロック～1がハイレベルとなり、発光サイリスタT(0)がONしているとする。この時、NPNトランジスタTr2(0)のベースは発光サイリスタT(0)のON電流を流せる電位に設定されている。この電位が接続抵抗R₁を通じて接続する発光サイリスタT(-1)、T(1)のNPNトランジスタTr2(-1)、Tr2(1)のベースに伝達され、これらのベース電流が流れ。但し転送クロックライン～1、～2がローレベルである限り発光サイリスタT(-1)、T(1)はOFF状態のままである。さてこの接続抵抗R₁が小さければNPNトランジスタTr2(-1)、Tr2(1)は発光サイリスタT(0)のON電流と同じ電流を出す能力をもっている。

）、T(1)は上に述べた理由でON電圧が低下し、ON電圧V_{s(1)}になる。次に近い発光サイリスタT(-2)、T(2)はベース電流の影響が小さくON電圧V_{s(-2)}となる。

さて第1図においてクロックパルス～1の次のクロックパルス～2は発光サイリスタT(1)、T(-2)に印加される。これらのON電圧は上に述べた理由からそれぞれON電圧V_{s(1)}、V_{s(-2)}の値となっているため、クロックパルスのハイレベル電圧をON電圧V_{s(1)}、V_{s(-2)}の間に設定しておくと発光サイリスタT(1)のみをONさせることができる。これから各クロックパルス～1、～2、～3をそのハイレベルが互いに重なりあうように設定しておくと、ON状態発光素子が順次転送されていくことになる。これから自己走査可能な発光素子アレイを実現することができる。

以上より本実施例では発光素子間を接続する抵抗が1つで済み、これから簡単な製造工程にて形成できることがわかる。

本実施例では転送クロックパルスが3相の場合

で動作を説明したが、3相以上であってももちろん動作する。さらに第1回では発光素子を一列に並べているが、四列を直列にする必要はなく、応用によって並行させてもよいし、途中から二列以上に増やすことも可能である。またこの説明では発光サイリスタに限定して説明したが同様な機能を持つデバイスであればこれに限られず何であっても良い。

本発明の別の実施例でも説明するが、発光素子としてレーザサイリスタであってもよい。この驱动方法は発光素子を単体部品で構成してもよく、また次の実施例で示すようになんらかの方法により集積化してもよい。

<実施例2>

実施例1では等価回路を示し説明したが、実施例2では実施例1を基積化して作成する場合の構成について説明するものである。本実施例の要点は電気的結合を行なうための接続用抵抗を発光素子の一部を利用して設けることにより、発光サイリスタと同じ工程で、抵抗素子まで形成すること

のできる構造にある。

本発明の構造断面概念図を第3回に示す。接地されたN形GaAs基板(1)上にN形半導体層(24)、P形半導体層(23)、N形半導体層(22)、P形半導体層(21)の各層を形成する。そしてホトリソグラフィ等及びエッティングにより、各単体発光素子T(-2)～T(2)に分離する(分離構(50))。

N形GaAs基板(1)はこのサイリスタのカソードとして書き接地される。各単体発光素子のアノードとなるP形半導体層(21)には転送クロックライン ϕ_1 、 ϕ_2 、 ϕ_3 がそれぞれ2素子おきに接続される。この構成において特徴はサイリスタを構成するP形半導体層(23)が各素子を通して接続されていることである。このP形半導体層(23)の内部抵抗が実施例1の第1回に示した接続抵抗 R_1 となる。

第4回に構造平面概念図を示す。これは第3回を上からみた図となっている各発光素子T(-2)～T(2)において内側の四角形はP形半導体層(21)

を示し、そのまわりの部分はP形半導体層(23)を示している。この構造においてP形半導体層(23)には切込み(55)が形成されている。これは実施例1にて説明した接続抵抗 R_1 の値を変化させるためのもので、切込み(55)を大きく取れば接続抵抗 R_1 は大きくなる。従って本実施例では接続抵抗 R_1 を自由に変化させ、最適化させることができ、転送動作をより安定化させることができとなる。

本実施例の構成は実施例1(第1回)に示した等価回路と全く同じ構成であり、全く同じ動作をする。従って、転送クロック ϕ_1 、 ϕ_2 、 ϕ_3 のハイレベル電圧を順番に互いに少しづつ重なるように設定すれば、発光サイリスタのON状態は順次転送されていく。即ち、発光点が順次転送される。

以上より本実施例ではゲート電圧を設ける必要がなく、かつ発光素子間を接続する抵抗が1つで済み、さらには接続抵抗 R_1 を発光素子を構成する半導体層にて形成できる。これから簡単な製造工程にて形成できることがわかる。

本実施例では転送クロックパルスとして、 ϕ_1 、 ϕ_2 、 ϕ_3 の3相を想定したが、より安定な転送動作を求める場合にはこれを4相、5相と増加させてもよい。

また本実施例では発光サイリスタの構造を最も簡単な場合について示したが、発光効率を上げるために、より複雑な構造、層構成を導入することも本発明の範囲に含まれる。その具体的な例としてデブルヘテロ構造の採用が挙げられる。一例を第16回に示す(田代他1987年春応用物理学年会講演、番号28p-2E-8)。これはN形GaAs基板上に0.5μmのN形GaAs層を積み、その上にバンドギャップの広いN形AlGaAsを1μm、P形GaAs層を5μm、N形GaAs層を1μm、バンドギャップの広いP形AlGaAsを1μm、そして取り出し電極とのオーム接觸をとるためのP形GaAs層を0.15μm積層した構成である。発光層は同じ積まれた、1μmのN形GaAs層である。これは注入された電子、正孔がバンドギャップの広いGaAs層に閉じ込められ、この領域で再結合し

発光する。

またここではPNPNのサイリスタ構成を例に説明したが、この電位を検知し、しまい電圧が低下し、これをを利用して転送動作を行わせるという構成は、PNPN構成のみに限らず、その機能が達成できる素子であれば特に限定されない。例えば、PNPN4層構成でなく、6層以上の構成でも同様な効果を期待でき、まったく同様な自己走査機能を達成することが可能である。さらには静電誘導(SI)サイリスタまたは電界制御サイリスタ(FCT)と呼ばれるサイリスタを用いてもまったく同様であり、本考案に含まれるものである。このSIサイリスタまたはFCTは電流アロックとして働く中央のP形半導体層を空乏層で置き換えた構造となっている(S. M. Sze著、*Physics of Semiconductor Devices*、2nd Edition pp238-240)。

<実施例3>

実施例3を第5図、第6図に示す。この実施例は実施例2の、より現実的な構造を示したもので

ための切込み溝である。本断面図では示していないが接続用抵抗R₁はP形半導体層(23)(この例ではGaAs層)を用いている。绝缘層(30)は、アノード電極(40)と各半導体層との電気的分離を行なっている。この绝缘層(30)の材質として発光素子間の光分離という意味で本発光素子からの光が透過しないような物質を用いることが望ましい。またはこの層を複数の層からなる多層膜とし、绝缘機能と光分離機能を持たせてもよい。但し光分離機能を持たせた場合、光が外部に取り出せるように窓部を別に設けておく必要がある。層間绝缘層(31)はアノード電極(40)とクロックラインとの绝缘分離を行なう。

本実施例3の製造工程を説明する。まずN形GaAs基板(1)上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を順次形成する。そして分離溝(50)を形成し、発光素子間の分離を行なう。次に切込み溝(55)を形成し、接

ある。第5図に本実施例の平面図を、第6図に第5図のX-X'ラインの断面図を示す。

平面図第5図について説明する。転送クロックライン₁、₂、₃はスルーホールC₂を通して下にあるアノード電極(40)に接続される。このアノード電極(40)はコンタクト孔C₁を通して各発光素子のP形半導体層(21a)に接続される。各発光素子T(-2)～T(2)において、四角形のP形半導体層(21a)の外側に描かれているのはP形半導体層(23)である。この層は実施例2で述べたように切込み(55)が刻まれ、接続抵抗R₁が最適化できるよう構成されている。

断面図第6図について説明する。発光素子はN形GaAs基板上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を形成する。そしてホトリソグラフィ等及びエッティングにより、各単体発光素子に分離する(分離溝(50))。また溝(55)は接続用抵抗R₁の盛を変化させる

設抵抗R₁の形成を行なう。绝缘膜(30)を形成し、コンタクト孔(C₁)を設ける。電極(40)を形成する。層間绝缘膜(31)を形成して、スルーホールC₂を設け、クロックライン電極₁、₂、₃を形成する。以上の工程により本実施例3の構造が完成する。

以上より本実施例ではゲート電極を設ける必要がなく、かつ発光素子間を接続する抵抗が1つで済み、さらには接続抵抗R₁を発光素子を構成する半導体層にて形成できる。これから簡単な製造工程にて形成できることがわかる。

この工程の順序は必ずしも上記のとおりである必要はなく、例えば分離溝(50)と切込み溝(55)の形成順序が逆転していてもよい。また第4図の上にさらに透光性绝缘膜を設け、透光度を向上させるようにしてもよい。さらには発光素子上の绝缘膜が厚くなり光透過率が低下することを避けるなら、発光素子の上部绝缘膜の一部または全部をホトエッティング等の方法により除去してもよい。またここでは半導体層としてGaAs、AlGaAs

Asを用いたが、これに限らず他の半導体を用いても良い。

<実施例4>レーザへの応用

今までの実施例の説明は発光素子として発光サイリスタを念頭に説明してきた。しかし本発明は発光サイリスタに限られるものではなく、例えばレーザサイリスタを用いても全く同様に動作する。以下の実施例にてレーザサイリスタを用いた場合を説明する。

第7図、第8図に実施例4の構造図を示す。これは本発明をレーザに適用した場合を示す。第7図は本実施例4の平面図を、第8図は断面図を示す。

製造方法を概説する。N形GaAs基板(1)上にN形AlGaAs(25)、P形AlGaAs(24)、In形(ノンドウア)GaAs(23)、N形AlGaAs(22)、P形AlGaAs(21)、上部電極(20)を順次積層する(P形AlGaAs(21)と上部電極(20)との間にオーミック接觸を良好とするためにP形GaAs層を挿む場合もある)。

より光遮蔽膜を設ける必要がある可能性があるからである。次にホトエッチングによりコンタクト穴(C₁)を設け、伝送クロックライン用の配線金属を蒸着またはスパッタ等により形成し、ホトエッチングにより伝送クロックライン(φ₁、φ₂、φ₃)を形成する。そして最後にヘッカ等の手法によりレーザ光出力側の端面を平行度よく形成し、本実施例の構造ができる。

尚レーザの構造は本構造にかぎられるものではなく、例えばTJS形、BH形、CSP形、VSLIS形等を用いてももちろんよい(S. M. Sze著、*Physics of Semiconductor Devices*, 2nd Edition pp724-730)。また材料についてもAlGaAsを主体に説明したが、これ以外の材料(例えばAlGaInP、InGaAsP、ZnSe等)であってもよい。尚、以上述べてきた本発明の一連の実施例は基板として半導体基板を用い、その電位を零ボルト(接地)とした例を示してきたが、本発明はこれに限らず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム(Cr)等をドウ

次にホトエッチングにより上部電極(20)を図中N形AlGaAs層(25)の端と同じ幅を持つ長方形に加工し、これをマスクとして、P形AlGaAs(21)～P形AlGaAs(24)の各層をエッチングする。この時に素子間の分離溝(50)が形成される。次にホトエッチングにより同じ上部電極(20)をさらにエッチングし、10μm以下の幅を持つストライプ状パターン(レーザサイリスタの電流注入部)を設ける。これをマスクとして、P形AlGaAs(21)N形AlGaAs(22)の層をエッチングする。N形AlGaAs(22)層は全部除去せず一部残すようにする。さらにホトエッチングにより切込み溝(55)を形成する。そして絶縁膜(30)を形成する。この絶縁膜は絶縁と光遮蔽の二つの機能を持つようになしたもののが望ましく、複数種類の膜をもちいて形成してもよい。この絶縁膜として例えばSiO₂膜を使用した場合、GaAsの発光波長である870nmを透過するため、光結合を誘発する可能性があり、その間に例えば非晶質シリコンのような光吸収物質に

アした半絶縁性GaAs基板上に実施例のn形GaAs基板に相当するn形GaAs層を形成し、この上に実施例で説明した構造を形成してもよい。また例えばガラス、アルミナ等の絶縁基板上に半導体膜を形成し、この半導体を用いて実施例の構造を形成してもよい。

また実施例で示してきた構成において、導電型のPとNをそれぞれ逆転してもバイアス条件等を反転すれば全く同様に動作し、本発明の範囲に含まれる。

<応用例>

以上の実施例にて説明してきた自己走査可能な発光素子アレイは先の発明(特願昭63-66392、「発光素子アレイとその駆動方法」)と同じく各種応用が期待できる。例として先の発明においても説明したが光走査の密着イメージセンサ、光プリンタの書き込みヘッド、ディスプレイ等が挙げられ、これらの機能の低価格化、高性能化に大きな寄与をすることができる。

【発明の効果】

以上述べてきたように、本発明は発光電子アレイ同を抵抗で接続することにより、より簡単な製造工程にて製造で当るようとしたものであり、この発明により、先の発明で示した利点、即ち、ワイヤボンディングの数の問題、選択ICの問題、コンパクト化、短ピッチ化等の枚々の問題をさらに容易に解決することができる。

また本発明は先の発明と同じく密度イメージセンサ、光プリンタ、ディスプレイ等へ応用でき、これらの機器の性能向上、低価格化に大きく寄与することができる。

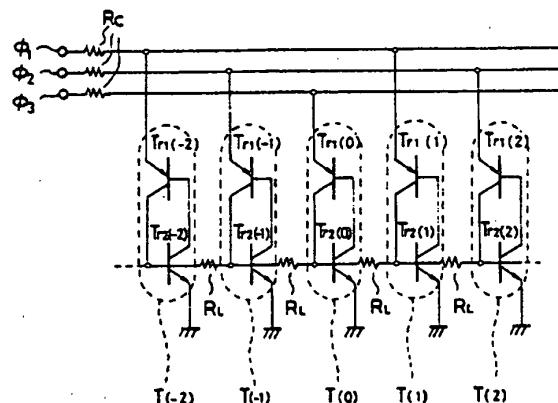
4. 図面の簡単な説明

第1図は実施例1の発光電子アレイの等価回路図、第2図は発光サイリスタの特性図、第3図は実施例2の断面図、第4図は実施例2の平面図、第5図は実施例3の平面図、第6図は実施例3の断面図、第7図は実施例4の平面図、第8図は実施例4の断面図、第9図は発光サイリスタの抵抗接続を示す断面図、第10図は発光サイリスタの電流-電圧特性を示す図、第11図は3端子サイ

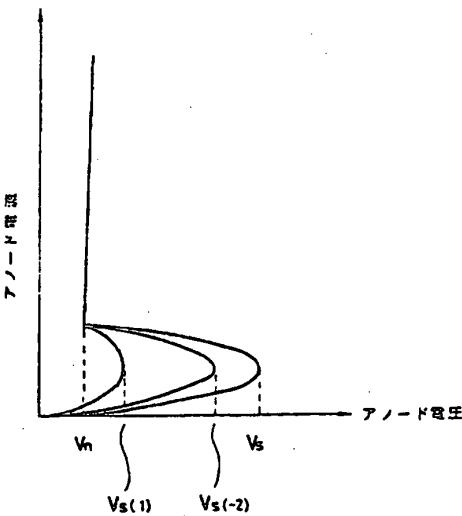
リスタの抵抗接続を示す断面図、第12図は先の発明を示す図で光結合による発光電子アレイの等価回路、第13図は先の発明を示す図で光結合による発光電子アレイの抵抗接続を表わす断面図、第14図は先の発明を示す図で電位結合による発光電子アレイの等価回路、第15図は先の発明を示す図で電位結合による発光電子アレイの抵抗接続を表わす断面図、第16図はダブルヘテロ接続の発光サイリスタの抵抗を表わす断面図である。

特許出願人 日本板硝子株式会社

代理人 井垣士 大阪市

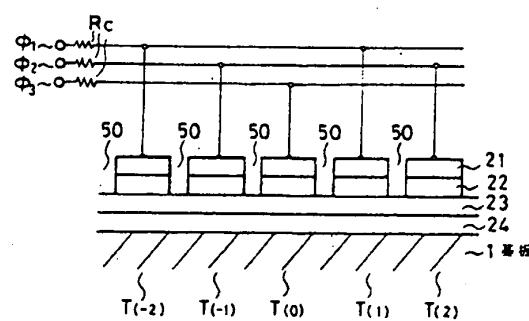


第1図

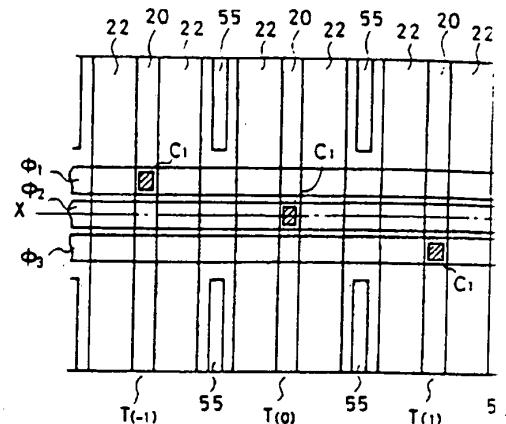


第2図

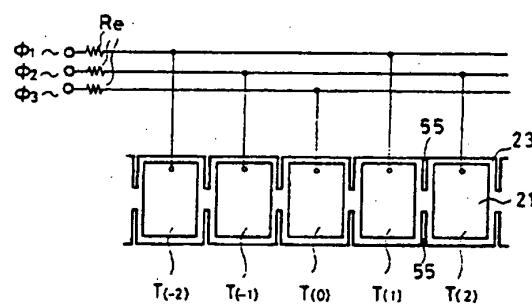
10)



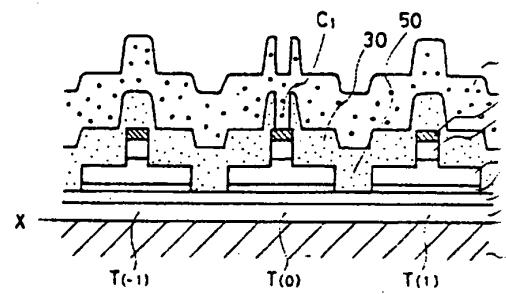
第3図



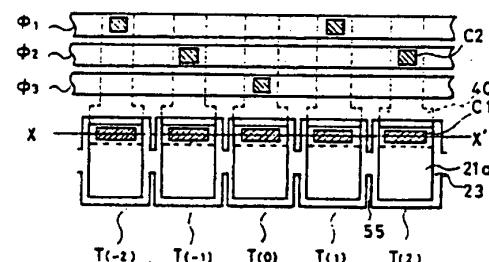
第7図



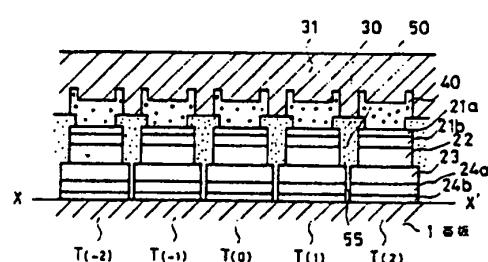
第4図



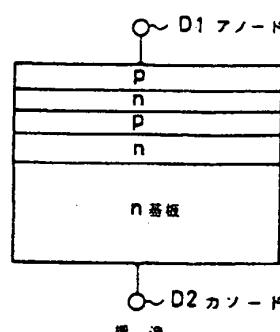
第8図



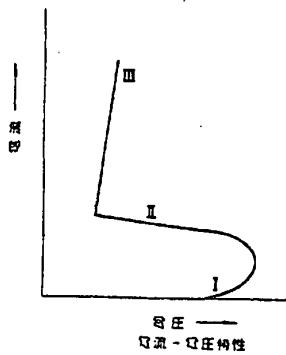
第5図



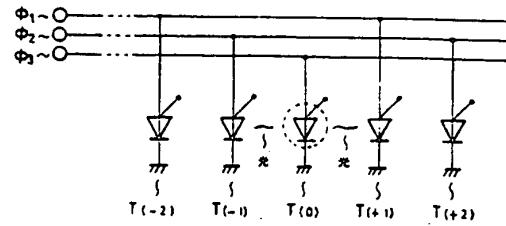
第6図



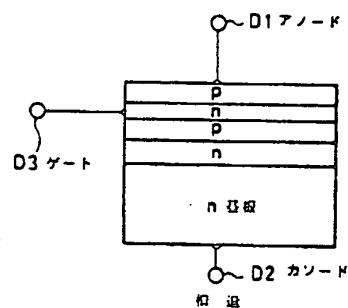
第9図



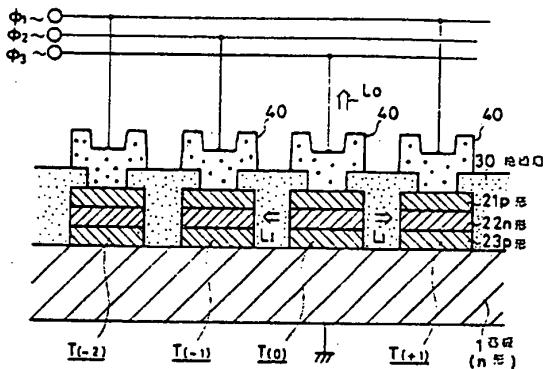
第10図



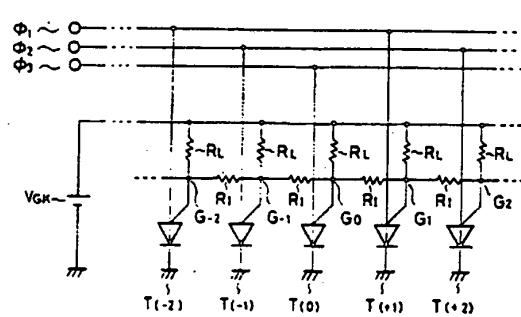
第12図



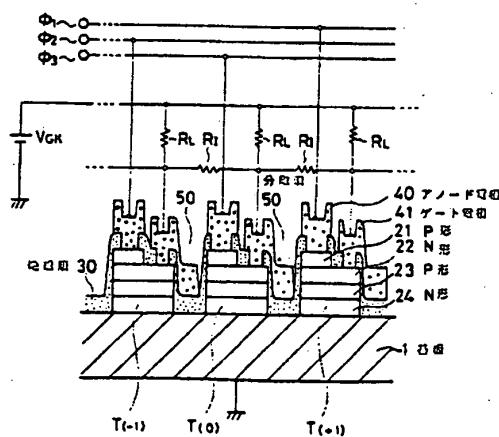
第11図



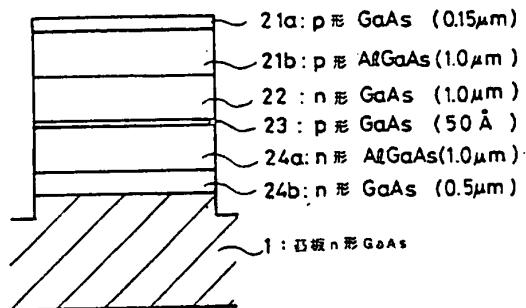
第13図



第14図



第15図



第 16 図

第 1 頁の続き

⑤Int. Cl.⁶

G 09 G 3/32
H 01 L 33/00

識別記号

庁内整理番号

J

6376-5C
7733-5F

⑪ 公開特許公報 (A)

平2-92651

⑤ Int. Cl. 5

B 41 J 2/45
2/455

識別記号

府内整理番号

⑥ 公開 平成2年(1990)4月3日

7612-2C B 41 J 3/21

審査請求 未請求 請求項の数 1 (全11頁)

L※

⑦ 発明の名称 発光素子アレイ

⑧ 特願 昭63-246630

⑨ 出願 昭63(1988)9月30日

⑩ 発明者 楠田 幸久 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑪ 発明者 刀根 深 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑫ 発明者 山下 建 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑬ 発明者 田中 修平 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑭ 出願人 日本板硝子株式会社

⑮ 代理人 弁理士 大野 稔市

最終頁に続く

明細書

1. 発明の名称

発光素子アレイ

2. 特許請求の範囲

(1) しきい電圧もしくはしきい電流を制御するための制御電極を有する積層半導体型発光素子を多數個、一次元、二次元、もしくは三次元的に配列し、各発光素子の制御電極を、各々の発光素子の近傍に位置する少なくとも2つの発光素子の別の制御電極と互いに電気的手段にて接続したネットワーク配線を形成し、各発光素子に、外部から電圧もしくは電流を印加するクロックラインを接続した発光素子アレイであって、該電気的手段が以下に示すトランジスタを用いたカレントミラー回路であることを特徴とする発光素子アレイ。

A. 各トランジスタの制御電極が各発光素子の第1の制御電極に接続されて、該トランジスタと該発光素子内のトランジスタ回路とがカレントミラー回路を構成する。

B. 該トランジスタは、制御電極が接続された

発光素子に対して一定方向に位置する近傍の発光素子の第2の制御電極に接続され、該第2の制御電極の電位が該トランジスタにより制御可能とされている。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は発光素子を同一基板上に搭載した発光素子アレイへの自己走査機能の付与と、その駆動の安定化に関するものである。

【従来の技術】

発光素子の代表的なものとしてLED (Light Emitting Diode) 及びLD (Laser Diode) が知られている。

LEDは化合物半導体 (GaAs, GaP, AlGaAs, InGaAsP, InGaAlAs等) のPNまたはPIN積合を形成し、これに順方向電圧を加えることにより積合内部にキャリアを注入、その再結合の過程で生じる発光現象を利用するものである。

またLDはこのLED内部に導波路を設けた構

道となっている。あるしきい電圧以上での電流をながすと注入される電子-正孔対が増加し反応発熱となり、放射による光子の増倍(利得)が発生し、へき回収などを利用した平行な反射鏡で発生した光が再び活性層に帰還されレーザ発振が起こる。そして導波路の端面からレーザ光が出ていくものである。

これらLED、LDと同じ発光メカニズムを有する発光電子として発光機能を持つ負性抵抗電子(発光サイリスタ、レーザサイリスタ等)も知られている。発光サイリスタは先に述べたような化合物半導体でPNPNT構造を作るものであり、シリコンではサイリスタとして実用化されている(青木昌治監修、「発光ダイオード」工業調査会、pp167~169参照)。

この発光サイリスタの基本構造及び電流-電圧特性を第6図、第7図に示す。第7図に示す構造はN形GaAs基板上にPNPNT構造を形成したもので通常の3端子サイリスタとまったく同じ構成である。第6図も同様に通常のサイリスタとまつである。

一方電荷形イメージセンサ、LEDプリンタ等では読み取るポイント、書き込むポイントを指定するため、これら発光電子による発光点の走査機能(光走査機能)が必要である。

しかし、これらの従来の発光電子を用いて光走査を行うためには、LEDアレイの中に作られている一つ一つのLEDをワイヤボンディング等の技術により駆動ICに接続し、このICで一つ一つのLEDを走査させる必要があった。このためLEDの数が多い場合、周囲のワイヤボンディングが必要で、かつ、駆動ICも数多く必要となりコストが高くなってしまうという欠点があった。これは駆動ICを設置するスペースを確保することが必要となり、コンパクト化が困難という欠点を誘発していた。

またLEDを並べるピッチもワイヤボンディングの技術で定まり、細ピッチ化が難しいという欠点があった。

そこで発明者らは、発光電子アレイ自身に自己走査機能をもたせることにより、先に挙げたワ

たく同じS字形負性抵抗を設している。この3端子サイリスタのゲートはON電圧を割りする回路を持ち、ON電圧はゲート電圧に倍増電圧を加えた電圧となる。またONした後、ゲート電圧はカソード電圧とほぼ一致するようになる。カソード電圧が接地されていればゲート電圧は零ボルトとなる。またこの発光サイリスタは外部から光を入射することによりそのしきい電圧が低下することが知られている。

さらにこの発光サイリスタの中に導波路を設けLEDとまったく同じ原理でレーザサイリスタを形成する事もできる(田代信、1987年秋応用物理学会誌、谷口18p-26-10)。

これらの如な発光電子、特にLEDは化合物半導体基板上に多段層作られ、切削されて一つ一つの発光電子としてパッケージングされ回光されている。また電荷イメージセンサ用及びプリンタ用光頭としてのLEDは一つのチップ上に複数個のLEDを並べたLEDアレイとして販売されている。

ヤボンディングの際の問題、駆動ICの問題、コンパクト化、細ピッチ化の問題を解決する発明を行なった。(特開昭63-65392)。この先の発明の内容を以下図版に記す。

先の発明の主旨は、発光電子のターンオン電圧または電流が、べつの発光電子のON状態によって影響を受けるよう、即ち、相互作用をするよう構成することにより発光の自己走査機能を実現することである。

第8図に先の発明1の実施例の第1の例(光結合による方法)を示す。これは発光電子として先に述べた発光サイリスタを用い、発生した光の一端が回路する発光サイリスタに入射するよう構成したもので、光が入った発光サイリスタのON電圧が低下する現象を利用するものである。今伝送クロックバルス₀がハイレベルとなり、発光サイリスタT(0)がONしているとする。このためその両端に位置する発光サイリスタT(-1)、T(1)のON電圧が低下する。このため次の伝送クロックバルス₁にハイレベル電圧が印可されると発光サイ

リスト T(1)のみ ON させる事が可能となる。これから自己走査を行なうことができる。

第 9 図に第 8 図の構成のデバイス構造を示す。N 形 GaAs 基板上に P 形 (23)、N 形 (22)、P 形 (21) からなる発光サイリスタを設け、それらの P 形 (21) 層に接觸した電極 (40) に転送クロックラインを接続した構成となっている。動作は先に説明した通りである。

第 10 図に、先の発明の実施例の第 2 の例(電気的結合による方法)を示す。第 7 図に示した三端子サイリスタのゲート端子を図中の抵抗 R1、R2 でお互いに接続した構成である。今クロックパルス ϕ_1 がハイレベル電圧となり発光サイリスタ T(0) が ON 状態になっているとする。このときノード G1 はほぼ零ボルトとなっている。すると抵抗ネットワークから電流が流れ、発光サイリスタ T(0) に近いノードが最も電圧が引き下げられ、離れていくほど影響は少なくなる。次の転送クロック ϕ_2 にハイレベル電圧が加わると発光サイリスタ T(1) と T(-2) が ON 可能となるが、ノード G1 のほう

的接続を行なうことにより、2 相の転送クロックにて自己走査を行なうことが可能となる。その結果駆動回路を簡単化できる。

改良発明の実施例を紹介する。

改良発明の実施例の等価回路図を第 11 図に示す。これは発光しきい電圧、電流が外部から制御できる発光素子の一例として、最も標準的な三端子の発光サイリスタを用いた場合を表している。発光サイリスタ T(-2)～T(+2) は、それらが一列に並べられた構成となっている。発光サイリスタ T(-2)～T(+2) は、それぞれゲート電極 G-2～G+2 を有す。各ゲート電極は負荷抵抗 R1 を有し、かつ電気的相互作用を行なうダイオード D-1～D+2 を介して隣接する発光サイリスタのゲート電極と電気的に接続されている。またゲート電極には電源電圧 V_{DD} が印加されている。各単体発光サイリスタのアノード電極に 2 本の転送クロックライン (ϕ_1 、 ϕ_2) がそれぞれ 1 素子おきに接続されている。

動作を説明すると、まず転送クロック ϕ_1 がハイ

がノード G-2 より低い電圧となっているため、発光サイリスタ T(1)のみを ON させることができる。これから自己走査を行なうことができる。

以上簡単に説明した先の発明 1 により、ワイヤボンディングの歴の問題、駆動 IC の問題、コンパクト化、短ピッチ化の問題等を解決することができるようになった。

また発明者らは先の発明にたいして、さらに改良を行なった。この改良は先の発明の転送クロックパルスの数を減らすものである。

第 8 図、第 9 図の構成例(光結合による方法)では ON 発光素子から出射する光量を左右で変えることにより転送クロック数を 2 つに減少させることができる。しかしながら第 10 図に示した構成例(電気的接続による方法)では 2 相駆動化はできない。このため転送動作をさせるための駆動回路がそれほど簡単化出来ないという問題点があった。

改良発明では、ダイオード、トランジスタ等の一方指向性を持つ素子を介して、発光素子同の電気

レベルとなり、発光素子 T(0) が ON しているとする。この時、3 端子サイリスタの特性からゲート電極 G1 は零ボルト近くまで引き下げられる(シリコンサイリスタの場合約 1 ボルトである)。電源電圧 V_{DD} を例えれば 5V とすると、抵抗 R1、ダイオード D-2～D+2 のネットワークから各発光サイリスタのゲート電圧が決まる。そして発光素子 T(0) に近い素子のゲート電圧が最も低下し、以降順に発光素子 T(0) から離れるに従いゲート電圧は上昇していく。しかしながら、ダイオード特性の一方指向性、非対称性から電圧を下げる効果は発光素子 T(0) の右半分しか働かない。即ちゲート電極 G1 はゲート電極 G+2 に対し、ダイオードの順方向立ち上がり電圧 V_{SD} だけ高い電圧に設定され、ゲート電極 G+2 はゲート電極 G-2 に対し、さらにダイオードの順方向立ち上がり電圧 V_{SD} だけ高い電圧に設定される。一方左半分に相当するゲート電極 G-1 はダイオード D-1 が逆バイアスとなっているため電流が流れず、従って電源電圧 V_{DD} と同電位となる。次の転送クロックパルス ϕ_2 は最近後の発光素子 T

(1), T(-1)及 U T (3), T(-3)等に加わるが、これらの中で最もON電圧が低い素子は発光素子T(1)で、約2V_{ss}である。次に低い素子は発光素子T(3)であり、約4V_{ss}となる。発光素子T(-1), T(-3)のON電圧は約V_{ss}+V_{ss}となる。以上から転送クロックパルスのハイレベル電圧を2V_{ss}から4V_{ss}の間に設定しておけば発光素子T(1)のみONさせることができ、転送動作を行なうことができる。

また等価回路としてダイオードを示したが、第12図に示すように、発光サイリスタTr1, Tr2および結合ダイオードTr3等のトランジスタを用いて示しても、実効的に等価である。

以上述べたように電気的結合用の素子としてダイオード、トランジスタを用いることにより2相クロック駆動可能な発光素子アレイを実現することができる。

以上簡単に説明した先の発明及び改良発明によりワイヤボンディングの問題、駆動ICの問題、コンパクト化、対ビッチ化の問題等を解決するこ

ら電圧もしくは電流を印加するクロックラインを接続した発光素子アレイであって、該電気的手段が以下に示すトランジスタを用いたカレントミラーレンジ回路である発光素子アレイである。

A. 各トランジスタの制御電極が各発光素子の第1の制御電極に接続されて、該トランジスタと該発光素子内のトランジスタ回路とがカレントミラーレンジ回路を構成する。

B. 該トランジスタは、制御電極が接続された発光素子に対して一定方向に位置する近傍の発光素子の第2の制御電極に接続され、該第2の制御電極の電位が該トランジスタにより制御可能とされている。

本発明のカレントミラーレンジ回路の形成方法としては、例えば各発光素子のバイアス電圧が印可される第2導電型半導体に接する第1導電型半導体(第1の制御電極)に制御電極が接続されたトランジスタを、該発光素子の一定方向近傍の発光素子の、クロックラインが接続された第1導電型半導体に接する第2導電型半導体(第2の制御電極)、

とがでて、かつ駆動方法も簡単化することができる。

【発明が解決しようとする問題】

従来例で説明した改良発明において、結合用素子としてダイオード、トランジスタ等の一方指向性を持つ素子を用いることにより2相クロックによる転送動作を可能にした。しかし転送クロック電圧幅が2V_{ss}と狭いという問題点があった。

【課題を解決するための手段】

本発明は制御電極間を電気的手段により接続する方法を改良し、転送クロック電圧幅を広く取ることを可能とするものである。このための手段としてカレントミラーレンジ回路を用いる。

本発明は、しきい電圧もしくはしきい電流を制御するための制御電極を有する複数半導体型発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、各発光素子の制御電極を、各々の発光素子の近傍に位置する少なくとも2つの発光素子の制御電極と互いに電気的手段にて接続したネットワーク回路を形成し、各発光素子に、外部か

に接続する方法が示される。

本発明に使用するトランジスタとしては、発光素子に使用する半導体と同種の物を使用することが、発光素子アレイの小型化にたいして効果があるので好ましい。

発光素子の制御電極電位をトランジスタを介して制御するには、制御電極をトランジスタを介して例えばアースして、制御電極電位を降圧可能とする方法がある。

本発明に使用する発光素子としては、しきい電圧もしくはしきい電流が外部から制御可能な発光素子であれば、任意の素子が使用できる。なかでも、例えばP形導電形半導体領域及びN導電形半導体領域を複数積層した発光素子等の負性抵抗を有する発光素子を用いることが望ましい。

またカレントミラーレンジ回路を構成するトランジスタを発光素子を形成しているP形、N形層を組み合わせて形成すると、簡単な製造方法で、実現できるので好ましい。

【作用】

本発明ではカレントミラー回路を用いて発光電子管の電気的振盪を行なうことにより、実施例にて詳口に説明するように2相の伝送クロックにて自己定義を行なうことが可能となり、かつ伝送クロックバルス電圧幅を広く取ることが可能となる。

【実施例】

＜実施例1＞

実施例1の原理の等価回路図を第1図に示す。これは発光しない電圧、電流が外部から制御できる発光電子管の一例として、最も簡単な三端子の発光サイリスタを用いた場合を表している。PNPトランジスタTr1とNPNトランジスタTr2の組合せによりサイリスタが構成されている。トランジスタTr3のベースはNPNトランジスタTr2のベースに接続され、NPNトランジスタTr2と組合わせてカレントミラー回路を構成している。発光サイリスタTr(-1)～Tr(1)は、一列に並べられかつ発光サイリスタ管がカレントミラー回路により接続された構成である。

発光サイリスタTr(-2)～Tr(+2)はそれぞれゲート

Tr(1)のゲート電圧G1の電位を引き下げる。トランジスタTr3の駆動能力を適当に調整することにより、ゲート電圧G1の電位をほぼ零まで下げることができる。発光電子管Tr(1)のON電圧はゲート電圧G1の電位より並列電圧Vgだけ高い電圧となるため、伝送クロックφ1の電圧は並列電圧Vg以上であればON状態を発光電子管Tr(1)に伝達できる。

さてこのように発光電子管Tr(1)のON電圧は下がる事になるが、反対側に位置する発光電子管Tr(-1)のON電圧は変化しない。これはゲートG2がほぼ零まで下がったとしても、発光電子管Tr(-1)のON電圧を定めるゲートG-1の電圧に影響を与えないからである。

以上のことから、このカレントミラーを用いた発光電子管アレイはVgからVg+Vgまでの伝送クロックバルス電圧によって動作し、電圧幅としてVgという広い幅で動作させることができる。

本実施例において負荷抵抗R1は必ずしも必要でなく、これを除去しても動作する。

本実施例では伝送クロックバルスが2相の場合

トランジスタTr1～Tr2を有し、該ゲート電圧は負荷抵抗R1を有す。ゲート電圧には電源電圧Vccが印加される。各单体発光サイリスタのアノード電極(Tr1のエミッタ)に2本の伝送クロックライン(φ1、φ2)がそれぞれ1電子管に接続される。クロックラインにはクロックラインの電流を制限するために抵抗Reが設けられる。

動作を説明する。まず伝送クロックφ2がハイレベルとなり、発光電子管Tr(0)がONしているとする。この時、3端子サイリスタの特性からゲート電圧G0はゼロ近くまで引き下げる(シリコンサイリスタの場合約1ボルトである)。電源電圧Vccを5Vとすると、ゲートG0から抵抗R1で制限された電流が流れ込む。またエミッタ(アノード)からは抵抗Reで制限された電流が流れ込む。さてトランジスタTr2とTr3はカレントミラー回路になっているため、トランジスタTr3にはTr2に比例した電流駆動能力が与わる。この電流駆動能力からトランジスタTr3のコレクタに接続される抵抗R1を介して送電を引き込み、隣の発光電子

で動作を説明したが、3相以上であっても、もちろん動作する。さらに第1図では発光電子管を一列に並べているが、配列を直線にする必要はなく、応用によって並行させてもよいし、途中から二列以上に均やすことも可能である。またこの説明では発光サイリスタに限定して説明したが同様な機能を持つデバイスであればこれに限らず何であっても良い。さらには、発光電子管はレーザサイリスタであってもよい。この駆動方法は発光電子管を单体部品で構成してもよく、また次の実施例で示すようになんらかの方法により省略化してもよい。

＜実施例2＞

実施例1では等価回路を示し説明したが、実施例2は実施例1を省略化して作成する場合の構成についての説明するものである。本実施例の要点はカレントミラー回路Tr2、Tr3を発光サイリスタと同じ工程で形成することのできる構造にある。

本発明の構造概念図を第2図に示す。接地されたN形GaAs基板(1)上にN形半導体層(24)、P形半導体層(23)、N形半導体層(22)、

P形半導体層(21)の各層を形成する。そしてホトリソグラフィ等及びエッティングにより分層構造(50)を設け各単体電光発子T(-1)～T(+1)に分離する。アノード電極(40)はP形半導体層(21)とオーミック接続を有し、ゲート電極(41)はN形半導体層(22)とオーミック接続を有す。遮断層(30)は電子と正孔との相遇を防ぎ、同時に特性劣化を防ぐための保護膜である。図中被破壊された部分がトランジスタTr3であり、ゲート電極(41)に接続される。トランジスタTr3はコレクタ(22)、ベース(23)、エミッタ(24)を有す。トランジスタTr1はエミッタ(21)、ベース(22)、コレクタ(23)を有し、トランジスタTr2はコレクタ(22)、ベース(23)、エミッタ(24)を有す。トランジスタTr2のベースは、トランジスタTr3のベースが電気的に接続されている。またこれらのトランジスタのコレクタは分離されている。ゲート電極(41)は負荷抵抗RLを介して電源V_{cc}に接続され、基板1は接地される。基板1はト

ために、より複雑な構造、構成を導入しても良い。その具体的な例としてダブルヘテロ接合の採用が挙げられる。一例を第15図に示す(田代他 1987年春応用物理学会講演、会場2B-2E-8)。これはN形GaAs基板上に0.5μmのN形GaAs層を積み、その上にバンドギャップの広いN形AlGaAsを1μm、P形GaAs層を5μm、N形GaAs層を1μm、バンドギャップの広いP形AlGaAsを1μm、そして取り出し電極とのオーミック接続をとるためのP形GaAs層を0.15μm積層した構成である。発光層は間に積まれた、1μmのN形GaAs層である。これは注入された電子、正孔がバンドギャップの狭いGaAs層に閉じ込められ、この領域で再結合し発光する。

またここではPNPNTのサイリスタ構成を例に説明したが、この電位を検知し、しきい電圧が低下し、これを利用して伝送動作を行わせるという構成は、PNPNT構成のみに限られず、その機能が達成できる電子であれば特に限定されない。例えば、PNPNTの4層構成でなく、6層以上の構

ランジスタTr2、Tr3のエミッタになっている。

遮断層(30)としては、先が外へ出やすいように発光サイリスタの発光部の光がよく通る材質をもちいることが望ましい。一方各電子間に光結合が発生すると本実施例の伝送動作が影響されることがある。これを防止するため、ゲート電極の一部を発光電子間に分離層のなかに入れ、光結合を防止する構造としている。

本実施例の構成は実施例1(第1図)に示した各個回路と全く同じ構成であり、全く同じ動作をする。従って、伝送クロックφ1、φ2のハイレベル電圧を交互に互いに少しづつ異なるように設定すれば、発光サイリスタのON状態は4次伝送されていく。即ち、発光点が順次伝送される。

本実施例では伝送クロックバルスとして、2相のバルスφ1、φ2を設定したが、より安定な伝送動作を求める場合にはこれを3相、4相と増加させてもよい。

また本実施例では発光サイリスタの構造を最も簡単な場合について示したが、発光効率を上げる

ためでも同様な効果を期待でき、まったく同様な自己走立機能を達成することが可能である。さらには防冠層(51)サイリスタまたは冠層制御サイリスタ(FCT)と呼ばれるサイリスタを用いてもまったく同様である。このS1サイリスタまたはFCTは冠層ブロックとして働く中央のP形半導体層を空乏層で置き換えた構造となっている(S. H. Sze著、Physics of Semiconductor Devices, 2nd Edition pp238-240)。

<実施例3>

実施例3を第3図、第4図、第5図に示す。この実施例は実施例2の、より現実的な構造を示したものである。第3図に本実施例の平面図を、第4図に第3図のX-X'ラインの断面図を、第5図に第3図のY-Y'ラインの断面図を示す。

第3図について説明する。

各発光サイリスタのゲートにつながる負荷抵抗RLは負荷抵抗(63)とし、発光サイリスタT(-1)～T(+1)を構成する半導体層を適用している。カレントミラー用トランジスタTr3(-1)～Tr3(+1)

)のコレクタはコンタクト穴C₁を通過してゲート電極(41)に接続される。コンタクト穴C₁は半導体層と電極との接続孔である。発光サイリスタのアノード電極(40)と転送クロックライン μ 、 ν とはスルーホールの接続孔C₂を用いて接続される。電源ライン(42)は電源電圧V_{cc}に接続され、負荷抵抗(63) (即ちR₁)に接続される。またこれはゲート電極(41)と同時に形成される。ここでゲート電極(41)は発光電子T(-2)～T(+1)がその発光によりお互いに影響しあう事を防ぐための遮光層をも兼ねている。

第4図にX-X'ラインでの断面構造図を、第5図にY-Y'ラインでの断面構造図を示す。発光電子はN形GaAs基板(1)上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を形成する。そしてホトリソグラフィ等及びエッティングにより、各単体発光電子に分離する(分離溝(50))。また分離溝(51)は発光電子

ホールC₁を設け、電極 μ 、 ν を形成する。以上の工程により本実施例3の構造が完成する。

この工程の順序は必ずしも上記のとおりである必要はないし、本構造の上にさらに透光性絕縁膜を設け、信頼度を向上させるようにしてもよい。さらには発光電子上の絶縁膜が厚くなり光透過率が低下することを嫌うなら、発光電子の上部絶縁膜の一部または全部をホトエッティング等の方法により除去してもよい。

尚、以上述べてきた本考案の一連の実施例は基板として半導体基板を用い、その電位を零ボルト(接地)とした例を示してさだが、本考案はこれに限らず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム(Cr)等をドウブした半絶縁性GaAs基板上に実施例のn形GaAs基板に相当するn形GaAs層を形成し、この上に実施例で説明した構造を形成してもよい。また例えばガラス、アルミナ等の絶縁基板上に半導体膜を形成し、この半導体を用いて実施例の構造を形成してもよい。

子T(0)とカレントミラー用トランジスタTr3とを分離するための溝である。負荷抵抗(63)：R₁は発光電子のN形GaAs層(22)を用いている。これは別の層を用いてもよい。例えばP層(23)を用いる、あるいは別の抵抗領域を設け、これを用いてもよい。

本実施例3の製造工程を説明する。まずN形GaAs基板上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を順次形成する。そして分離溝(50)を形成し、発光電子及び抵抗間の分離を行なう。次にゲートの取り出し部分及びトランジスタTr3形成部分のP形AlGaAs層(21b)、P形GaAs層(21a)を除去し、さらに分離溝(51)を形成する。このP形層除去工程で同時に抵抗(63)部のP形層も除去する。絶縁膜(30)を形成し、コンタクト孔(C₁)を設ける。電極(40)、(41)、(42)を形成する。層間絶縁膜(31)を形成して、スルーホール

本実施例ではLEDを対象に説明を行なっておたが、本発明はレーザにも適用可能なことは言うまでもない。

＜応用例＞

以上の実施例にて説明してきた自己走査可能な発光電子アレイは各種応用が期待できる。例として光走査の密着イメージセンサ、光プリンタの音自込みヘッド、ディスプレイ等が挙げられ、これらの機器の低価格化、高性能化に大きな寄与をすることができる。

上記実施例においては、各々隔接する発光電子の制御電極を互いに電気的手段にて接続しているが、例えば各々隔接する発光電子を1つおきの発光電子として、1つの発光電子アレイに2系列の走査機能を設けることも可能である。また2次元、3次元の発光電子アレイの場合には各発光電子は近傍の4つまたは6つ以上の発光電子と電気的手段にて接続される。

【発明の効果】

以上述べてきたように、本発明は発光電子アレ

イ回をカレントミラー回路を用いて結合させるこ
である。

とにより、2相の伝送クロックで発光点の伝送を行なうことがで、かつ伝送クロックパルス電圧の幅を広く取ることができる。またワイヤボンディングの数のは少、医療ICのは少、コンパクト化、短ピッチ化等が可能となる。

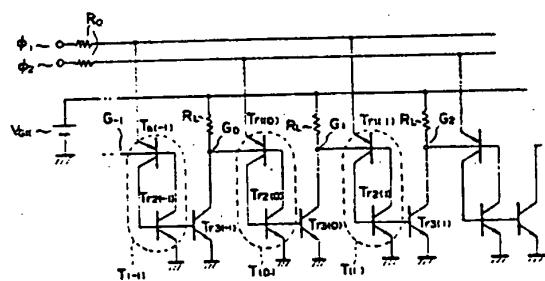
また本発明は露光イメージセンサ、光プリンタ、ディスプレイヤへ応用でき、これらの回路の性能向上、低価格化に大きく寄与することができる。

4. 図面の簡単な説明

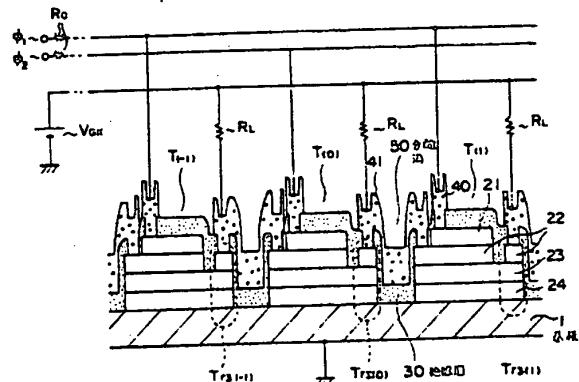
第1図は本発明の第1の実施例を示す等価回路図、第2図は本発明の第2の実施例を示す断面図、第3図は本発明の第3の実施例を表わす平面図、第4図、及び第5図は本発明の第3の実施例を表わす断面図、第6図は発光サイリスタの電圧特性、第7図は三相子発光サイリスタの構成図、第8図は従来例(等価回路図)、第9図は従来例(断面構造図)、第10図、第11図、及び第12図は従来例の等価回路図、第13図はダブルヘテロ構造の発光サイリスタの構造を表わす断面図

特許出願人 日本版電子株式会社

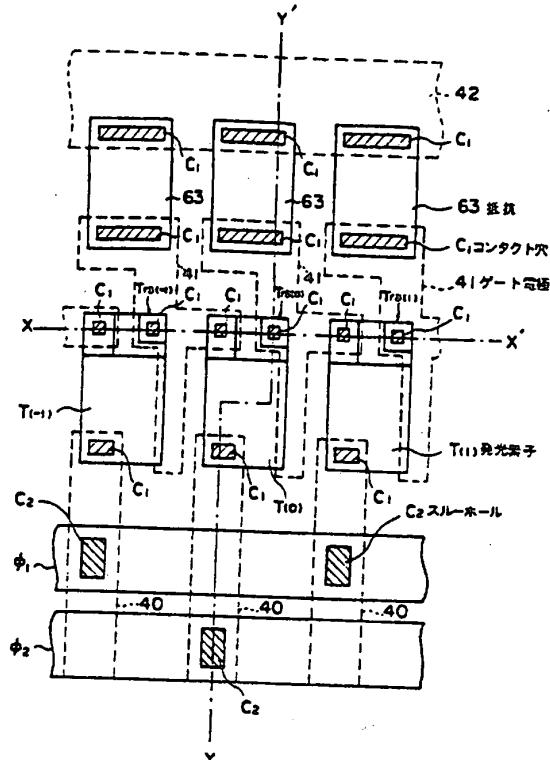
代理人 井口士 大阪府市



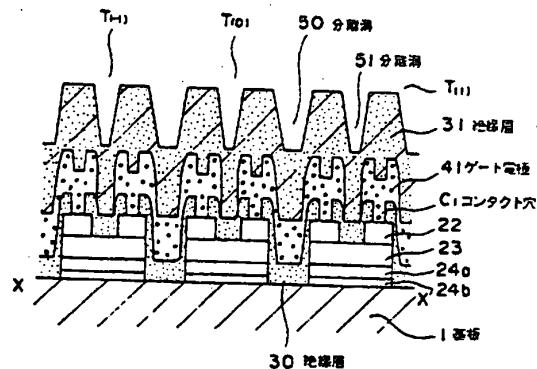
第1図



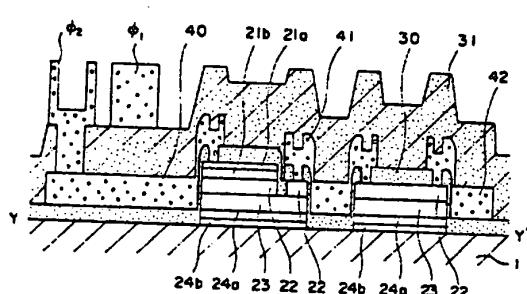
第2図



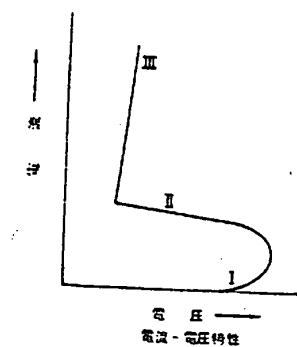
第 3 図



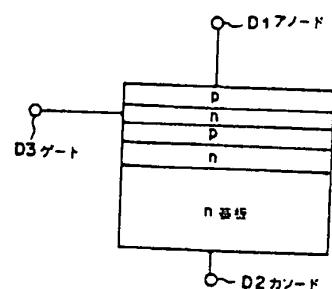
第 4 四



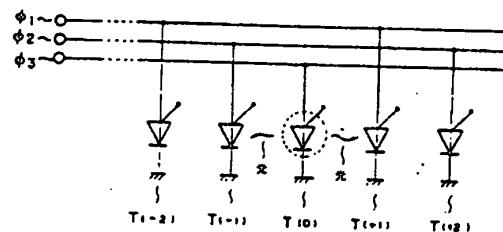
第 5 回



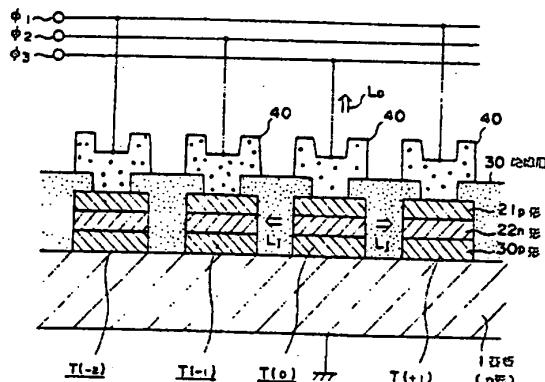
第 6 回



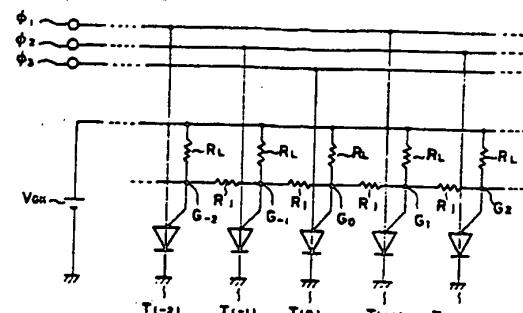
第 7 回



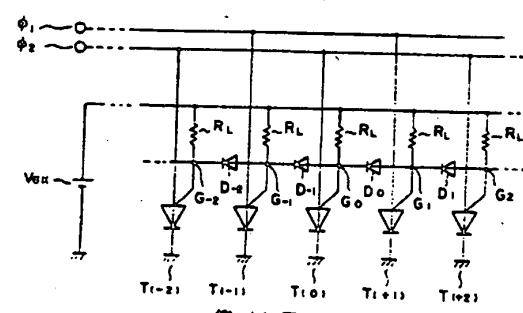
第 8 図



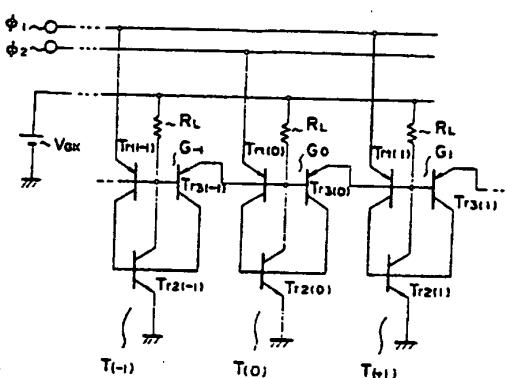
第 9 図



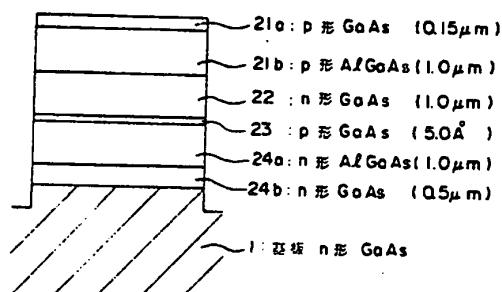
第 10 図



第 11 図



第 12 図



第 13 図

第1頁の続き

⑥Int. Cl. ' 識別記号 廷内整理番号
G 09 G 3/32 J 6376-5C
H 01 L 33/00 J 7733-5F